

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152243

(43)Date of publication of application : 18.06.1993

(51)Int.Cl. H01L 21/28  
H01L 21/28  
H01L 21/3205  
H01L 21/90

(21)Application number : 03-308836

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 25.11.1991

(72)Inventor : TANAKA MASAOKI

(30)Priority

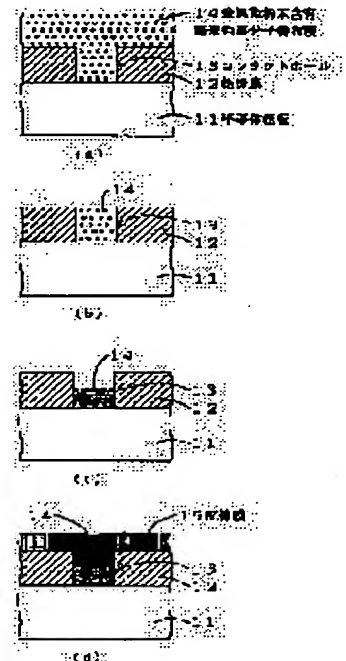
Priority number : 03250923 Priority date : 30.09.1991 Priority country : JP

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

**PURPOSE:** To provide a method of manufacturing a semiconductor device, in which good step coverage and good filling are obtained for multilayered interconnections having contact holes of a high aspect ratio, and high-melting metal can be grown only on the silicon surface exposed through contact holes without damage to the silicon substrate.

**CONSTITUTION:** A photosensitive polymer coating 14 containing fine metal powder is applied over an insulating film 12 having a contact hole 13. The photosensitive polymer coating 14 is etched back to the surface of the insulating film. The remaining polymer coating is baked by a heat treatment. Then, a wiring film is formed, or high-melting metal is selectively grown.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-152243

(43)公開日 平成5年(1993)6月18日

技術表示箇所

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/28

21/3205

21/90

識別記号 庁内整理番号

Z 7738-4M

3 0 1 R 7738-4M

C 7353-4M

7353-4M

F I

H 0 1 L 21/ 88

B

審査請求 未請求 請求項の数3(全 5 頁) 最終頁に続く

(21)出願番号 特願平3-308836

(22)出願日 平成3年(1991)11月25日

(31)優先権主張番号 特願平3-250923

(32)優先日 平3(1991)9月30日

(33)優先権主張国 日本(J P)

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 田中 公明

神奈川県相模原市淵野辺5-10-1 新日

本製鐵株式会社エレクトロニクス研究所内

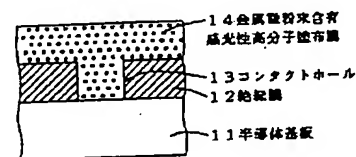
(74)代理人 弁理士 八田 幹雄 (外2名)

(54)【発明の名称】 半導体装置の製造方法

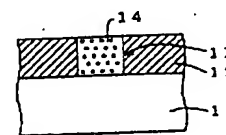
(57)【要約】

【目的】 アスペクト比が高いコンタクトホール等において、良好な断差被覆性および埋め込みが可能な多層配線を形成することができ、また、シリコン基板の浸食を発生させることなく、高融点金属をコンタクトホール等により露出させたシリコン表面のみに成長させることができる半導体装置の製造方法を提供することである。

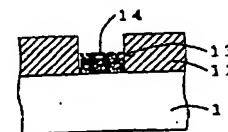
【構成】 コンタクトホール13等を含む絶縁膜12上の全面に、金属微粉末を含有した感光性高分子塗布膜14を形成する工程と、該感光性高分子塗布膜14を絶縁膜表面までエッチバックする工程と、熱処理を行って、前記残存感光性高分子塗布膜を焼きしめる工程とを具備し、その後、配線膜を形成するか、または、高融点金属を選択成長させる工程を行うことを特徴とする半導体装置の製造方法。



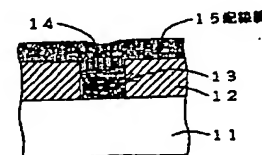
(a)



(b)



(c)



(d)

(2)

## 【特許請求の範囲】

【請求項1】 コンタクトホールまたはビアホールを含む絶縁膜上の全面に金属微粉末を含有した感光性高分子塗布膜を形成する工程と、

該感光性高分子塗布膜を絶縁膜表面までエッチバックする工程と、

熱処理を行って、前記残存感光性高分子塗布膜を焼きしめる工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 コンタクトホールまたはビアホールを含む絶縁膜上の全面に金属微粉末を含有した感光性高分子塗布膜を形成する工程と、

該感光性高分子塗布膜を絶縁膜表面までエッチバックする工程と、

熱処理を行って、前記残存感光性高分子塗布膜を焼きしめることにより、該感光性高分子塗布膜をコンタクトホールまたはビアホールのアスペクト比緩和材とする工程と、

前記コンタクトホール部またはビアホール部を含む絶縁膜上に配線膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項3】 シリコン基板上に絶縁膜を形成する工程と、

該絶縁膜の少なくとも一部をシリコン基板が露出するまでエッチングしてコンタクトホールを形成する工程と、

該コンタクトホールを含む該絶縁膜上の全面に、金属微粉末を含有した感光性高分子塗布膜を形成する工程と、

該感光性高分子塗布膜を絶縁膜表面までエッチバックする工程と、

熱処理を行って、前記残存感光性高分子塗布膜を焼きしめる工程と、

該コンタクトホール内に金属薄膜を選択的に成長させる工程とを具備することを特徴とする半導体装置の製造方法。

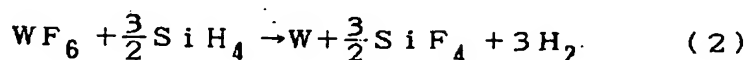
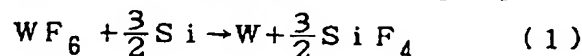
## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の高密度化により、半導体装置は多層配線構造が要求され、しかも配線幅はサ



【0009】(1)式で表される反応の方が、(2)式で表される反応より反応速度が速いため、選択成長開始直後、シリコン表面では、(1)式で表される化学反応

ブミクロンやハーフミクロンのサイズが要求されている。

【0003】これにともない、基板内に作り込まれたトランジスタと配線を結ぶコンタクトホールや多層配線構造における配線間を結ぶビアホールのアスペクト比(コンタクトホールの深さ対径の比)が非常に大きくなり、上述したコンタクトホールおよびビアホールの埋め込み不良による配線の信頼性低下が問題となる。

【0004】コンタクトホールおよびビアホールの埋め込みを行う従来の方法としては、月刊セミコンダクタワールド1987年3月号第69〜73頁に記載されている(1)バイアススパッタ法によるアルミニウム(A1)薄膜の形成、(2)化学的気相成長(以下、CVDという)法によるアルミニウム(A1)薄膜の形成、(3)パルスレーザによるアルミニウム(A1)の瞬時溶融法、(4)タングステン(W)の選択成長法、(5)アルミニウム(A1)の選択成長法等がある。

【0005】しかしながら、これらの方法を使用して、良好な断差被覆性および埋め込みが可能なコンタクトホールおよびビアホールのアスペクト比には限界があり、せいぜい2程度であるという問題があった。

【0006】また、上述の(4)、(5)のタングステンやアルミニウムの選択成長法は、シリコン基板上の層間絶縁膜に基板のシリコン表面が露出するように開孔された基板と配線を結ぶためのコンタクトホールやスルーホールを金属配線材料で選択的に埋め込んだ後、配線を形成する方法で、金属配線材料を選択的に成長させるためにはCVD法が一般に使用されている。このCVD法を用いてコンタクトホールやスルーホールへ金属配線材料を埋め込む場合、その金属配線材料には、タングステン(W)やアルミニウム(A1)の他に、モリブデン(Mo)、チタン(Ti)およびタンタル(Ta)等の高融点金属が用いられている。

【0007】CVD法による高融点金属の選択成長には、高融点金属のハロゲン化物と、還元剤として水素(H)またはシラン( $\text{SiH}_4$ )を用いる方法が一般的である。例えば、タングステンを、還元剤としてシランを用いて選択成長させる場合には、以下のような反応式で表すことができる。

【0008】

【化1】

によってタングステンが成長する。(1)式で表される化学反応によって、ある程度タングステンが堆積し、露出しているシリコン表面を覆ってしまうと、その後は

(3)

(2) 式で表される化学反応によってタングステンが成長する。

【0010】上述した化学式の中で、(1) 式の右辺に表されている生成物  $\text{SiF}_4$  は、シリコン (Si) 基板の侵食 (食われ) を表しており、これは、浅い拡散層に対しては P/N 接合の破壊を誘発するなど、半導体装置の電気的特性を劣化させる原因となっている。

【0011】このシリコン基板の侵食を防止する対策として、シラン濃度を高くする方法があるが、シラン濃度が高くなるとコンタクトホール等により露出したシリコン表面だけでなく、層間絶縁膜上等、基板全面に高融点金属が成長してしまい、選択性が悪く、また、高融点金属単体の成長ではなくシリサイドが成長してしまう。

【0012】そこで、選択性を上げシリコン表面のみに高融点金属を成長させるためには、シラン濃度を薄くする必要があるが、シラン濃度を薄くすると、選択性が良くなる反面、シリコン基板の侵食を防止することができないため、上述のごとく、その後、配線を形成しても良好なコンタクト特性を得ることができないなどの問題がある。

【0013】

【発明が解決しようとする課題】そこで、本発明の目的は、アスペクト比が2以上のコンタクトホールおよびビアホールにおいて、良好な断差被覆性および埋め込みが可能な多層配線を形成することのできる半導体装置の製造方法を提供することである。

【0014】また、本発明の他の目的は、高融点金属の選択成長において、シリコン基板の侵食を発生させることなく、高融点金属をコンタクトホール等により露出させたシリコン表面のみに成長させることができる半導体装置の製造方法を提供することである。

【0015】

【課題を解決するための手段】上記諸目的は、コンタクトホールまたはビアホールを含む絶縁膜上の全面に、金属微粉末を含有した感光性高分子塗布膜を形成する工程と、該感光性高分子塗布膜を絶縁膜表面までエッチバックする工程と、熱処理を行って、前記残存感光性高分子塗布膜を焼きしめる工程とを具備することを特徴とする半導体装置の製造方法によって達成される。

【0016】また、上記諸目的は、コンタクトホールまたはビアホールを含む絶縁膜上の全面に、金属微粉末を含有した感光性高分子塗布膜を形成する工程と、該感光性高分子塗布膜を絶縁膜表面までエッチバックする工程と、熱処理を行って、前記残存感光性高分子塗布膜を焼きしめることにより、該感光性高分子塗布膜をコンタクトホールまたはビアホールのアスペクト比緩和材とする工程と、前記コンタクトホール部またはビアホール部を含む絶縁膜上に配線膜を形成する工程とを具備することを特徴とする半導体装置の製造方法によって達成される。

【0017】さらに、上記諸目的は、シリコン基板上に絶縁膜を形成する工程と、該絶縁膜の少なくとも一部をシリコン基板が露出するまでエッチングしてコンタクトホールを形成する工程と、該コンタクトホールを含む該絶縁膜上の全面に、金属微粉末を含有した感光性高分子塗布膜を形成する工程と、該感光性高分子塗布膜を絶縁膜表面までエッチバックする工程と、熱処理を行って、前記残存感光性高分子塗布膜を焼きしめる工程と、該コンタクトホール内に金属薄膜を選択的に成長させる工程とを具備することを特徴とする半導体装置の製造方法によって達成される。

【0018】

【作用】本発明によるコンタクトホール部またはビアホール部に塗布された金属微粉末含有感光性高分子塗布膜を熱処理することにより焼きしめると、該塗布膜は収縮して、コンタクトホール下部に堆積する。これによりコンタクトホールまたはビアホールのアスペクト比が緩和される。

【0019】また、本発明を高融点金属の選択成長に用いた場合には、シリコン基板を浸蝕することなく、高融点金属をコンタクトホール内のみに選択的に成長させることができる。

【0020】なお、金属微粉末含有感光性高分子塗布膜は、焼きしめられることにより、膜中に含有する金属微粉末は密に集結し、互いに接触し合って導電性を増す。したがって、焼きしめ後、コンタクトホールおよびビアホールの感光性高分子塗布膜は高い導電性を示し、配線材料として充分有効となる。

【0021】

【実施例】以下、本発明を実施例により具体的に説明する。

【0022】実施例1

まず、図1(a)に示すように、半導体基板11上に絶縁膜12を形成し、該絶縁膜12にコンタクトホール13(開口径0.5 $\mu\text{m}$ 、深さ1.5 $\mu\text{m}$ 、アスペクト比3)を形成する。その後、コンタクトホール13部分を含む絶縁膜12上の全面に金属微粉末含有高分子塗布膜14を塗布する。

【0023】ここで、金属微粉末としては、Al-1% Si合金の微粉末を用いた。Al-1% Si合金微粉末の粒径は、300~1,000オングストロームに分布するものを用いた。また、感光性高分子材料としては、感光性ポリイミドを用いた。この感光性ポリイミドの溶液中に、上述したAl-1% Si合金微粉末を5~80%の容積比で含有させ、それを絶縁膜12上に塗布し、ブレベキнг(温度80℃、50分)を行うことにより、上述した金属微粉末含有感光性高分子塗布膜14を形成した。この塗布膜14の膜厚は0.8 $\mu\text{m}$ とした。

【0024】次に、図1(b)に示すように、上述した塗布膜14を、絶縁膜12の表面が現れるまでエッチバ

(4)

ックし、コンタクトホール13部分のみに残す。

【0025】図1(b)に示した状態にある試料を、水素中で150℃、250℃、350℃および450℃各1時間のベーキングを行い焼きしめる。このベーキングにより感光性高分子塗布膜14は収縮し、膜厚は約50%減少する。

【0026】この結果、図1(c)に示すように、コンタクトホール13を半分埋め込んだ状態になる。これにより、コンタクトホール13の実質的な深さは、1.5μmから0.75μmに浅くなり、アスペクト比も3から1.5へと低くなる。

【0027】なお、上述したベーキングにより、感光性高分子塗布膜14中に含有する金属微粉末は密に集結し、互いに接触して導電性を増す。したがって、焼きしめ後、コンタクトホール13中の感光性高分子塗布膜14は高い導電性を示し、配線材料として充分有効となる。

【0028】図1(c)の工程後、図1(d)に示すように、配線膜15を形成することにより、アスペクト比が3であるコンタクトホール13において、良好な段差被覆性を持つ配線膜形成が可能である。

【0029】上述した実施例1では、図1(a)から(d)までの工程処理を一度しか行っていないが、該工程処理を数回繰り返すことにより、本実施例1で示したコンタクトホール13よりもさらに高いアスペクト比を持つコンタクトホールまたはビアホールにおいても、容易に良好な段差被覆性を持つ配線膜形成が可能である。

【0030】実施例2

まず、図2(a)に示すように、半導体基板21上に絶縁膜22を形成し、該絶縁膜22にコンタクトホール23(開口径0.5μm、深さ1.5μm、アスペクト比3)を形成する。その後、コンタクトホール23部分を含む絶縁膜22上の全面に金属微粉末含有高分子塗布膜24を塗布する。

【0031】ここで、金属微粉末としては、タングステン(W)の微粉末を用いた。タングステン(W)微粉末の粒径は、300~2,000オングストロームに分布するものを用いた。また、感光性高分子材料としては、感光性ポリイミドを用いた。この感光性ポリイミドの溶液中に、上述したタングステン(W)微粉末を5~80%の容積比で含有させ、それを絶縁膜22上に塗布し、プレベーキング(温度80℃、50分)を行うことにより、上述した金属微粉末含有感光性高分子塗布膜24を形成した。この塗布膜24の膜厚は約1μmとした。

【0032】次に、図2(b)に示すように、上述した塗布膜24を、絶縁膜22の表面が現れるまでエッチバックし、コンタクトホール23部分のみに残す。

【0033】図2(b)に示した状態にある試料を、水素中で150℃、250℃、350℃および450℃各1時間のベーキングを行い焼きしめる。このベーキング

により感光性高分子塗布膜24は収縮し、膜厚は約50%減少する。

【0034】この結果、図2(c)に示すように、コンタクトホール23を半分埋め込んだ状態になる。なお、上記ベーキングにより、感光性高分子塗布膜24中に含有する金属微粉末は密に集結し、互いに接触して導電性を増す。したがって、焼きしめ後、コンタクトホール23中の感光性高分子塗布膜24は高い導電性を示し、配線材料として充分有効となる。

【0035】これにより、コンタクトホール23内部において、露出していたシリコン基板表面が導電性を有する塗布膜24によって覆われたことになる。

【0036】次に、図2(d)に示すように、タングステン(W)25の選択成長を六フッ化タングステン(WF<sub>6</sub>)とシラン(SiH<sub>4</sub>)のガスを用いたCVD法で行うことにより、コンタクトホール23内部に、シリコン基板を浸食することなく、高融点金属のタングステン(W)25を選択成長させることが可能である。

【0037】上述した実施例1および2では、金属微粉末含有高分子塗布膜中の金属微粉末としてAl-1%Si合金の微粉末およびタングステン(W)の微粉末を用い、感光性高分子材料として感光性ポリイミドを用いたが、金属微粉末としては、例えば、アルミニウムおよびタングステンの他にモリブデン、チタン、銅、白金、金、銀およびこれらのシリサイド化合物等、配線材料となり得る金属材料であれば全て使用可能であり、また、感光性高分子材料としては、ノボラック系樹脂に感光剤を添加したポジ型レジスト等を用いることも可能である。

【0038】

【発明の効果】以上説明したように、本発明によれば、金属微粉末を含有した感光性高分子塗布膜で、コンタクトホールおよびビアホールのアスペクト比を緩和することができ、信頼性の高い多層配線を形成することが可能であり、また、高融点金属の選択成長に用いた場合には、シリコン基板を浸食することなく高融点金属を選択成長させることができるため、基板の浅い拡散層を破壊せず良好な電気的特性を保った半導体装置を製造することができる。

【図面の簡単な説明】

【図1】 実施例1を説明するための工程断面図である。

【図2】 実施例2を説明するための工程断面図である。

【符号の説明】

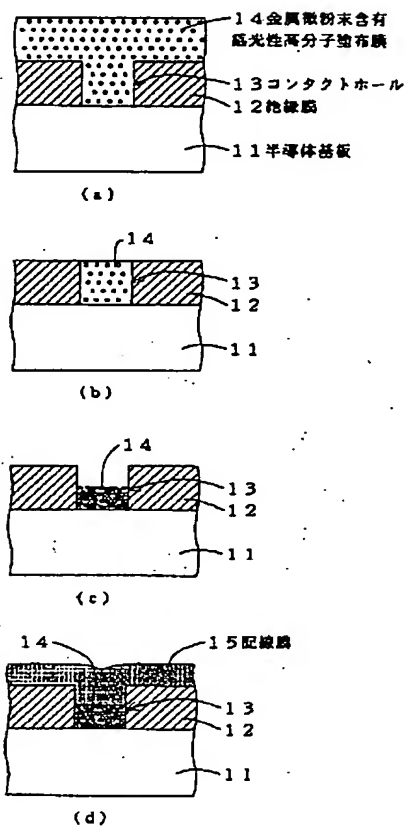
- 11…半導体基板、
- 12…絶縁膜、
- 13…コンタクトホール、
- 14…金属微粉末含有感光性高分子塗布膜、
- 15…配線膜、

(5)

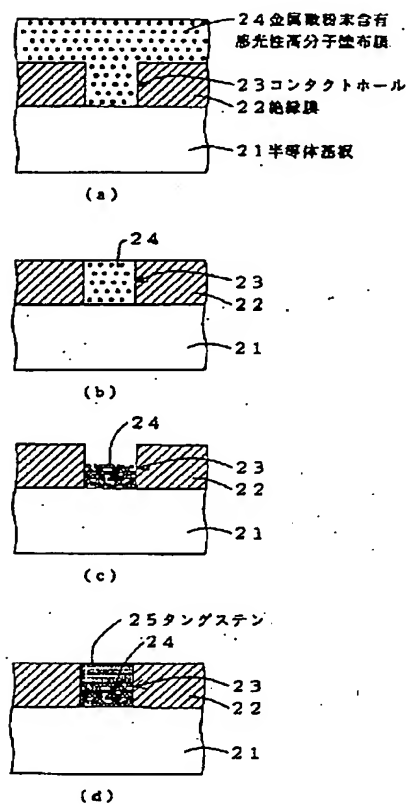
21…シリコン基板、  
22…絶縁膜、  
23…コンタクトホール、

24…金属微粉末含有感光性高分子塗布膜、  
25…タングステン。

【図1】



【図2】



30

フロントページの続き

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/90

識別記号

庁内整理番号

F I

技術表示箇所

A 7353-4M